

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. Mai 2004 (13.05.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/040668 A2

(51) Internationale Patentklassifikation⁷: **H01L 51/20**

(21) Internationales Aktenzeichen: **PCT/DE2003/003612**

(22) Internationales Anmeldedatum:
30. Oktober 2003 (30.10.2003)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:
102 50 830.5 31. Oktober 2002 (31.10.2002) **DE**

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).**

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **GRAHAM, An-
drew [GB/DE]; Gufidauner Str. 6, 81547 München
(DE). HOFMANN, Franz [DE/DE]; Herbergstr. 25B,
80995 München (DE). HÖNLEIN, Wolfgang [DE/DE];
Parkstr. 8 A, 82008 Unterhaching (DE). KRETZ, Jo-
hannes [AT/DE]; Tattenbachstr. 1, 80538 München
(DE). KREUPL, Franz [DE/DE]; Mandlstr. 24, 80802**

München (DE). **LANDGRAF, Erhard [DE/DE]; Ger-
hardstr. 23, 81543 München (DE). LUYKEN, Richard,
Johannes [DE/DE]; Böcklerweg 28, 81825 München
(DE). RÖSNER, Wolfgang [DE/DE]; Sudetenstr. 23,
85521 Ottobrunn (DE). SCHULZ, Thomas [DE/DE]; An-
nette-Kolb-Anger 13/5, 81737 München (DE). SPECHT,
Michael [DE/DE]; Schraudolphstr. 42, 80799 München
(DE).**

(74) Anwalt: **DOKTER, Eric-Michael; Vierung, Jentschura &
Partner, Steinsdorfstr. 6, 80538 München (DE).**

(81) Bestimmungsstaat (national): **US.**

(84) Bestimmungsstaaten (regional): **europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).**

Veröffentlicht:

— *ohne internationalen Recherchenbericht und erneut zu ver-
öffentlichen nach Erhalt des Berichts*

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.*

(54) Title: **FIELD EFFECT TRANSISTOR ASSEMBLY AND AN INTEGRATED CIRCUIT ARRAY**

(54) Bezeichnung: **FELDEFFEKTTRANSISTOR-ANORDNUNG UND SCHALTKREIS-ARRAY**

(57) Abstract: The invention relates to a field effect transistor assembly and an integrated circuit array. The field effect transistor assembly contains a substrate, a first wiring plane with a first source/drain region on the substrate and a second wiring plane with a second source/drain region above the first wiring plane. The field effect transistor assembly also comprises at least one vertical nanoelement as a channel region, which is situated between and coupled to both wiring planes. The nanoelement is at least partially surrounded by electrically conductive material, forming a gate region, whereby electrically insulating material is provided between the nanoelement and the electrically conductive material to act as a gate insulating layer.

(57) Zusammenfassung: Die Erfindung betrifft eine Feldeffekttransistor-Anordnung und ein Schaltkreis-Array. Die Feldeffekttransistor-Anordnung enthält ein Substrat, eine erste Verdrahtungsebene mit einem ersten Source-/Drain-Bereich auf dem Substrat und eine zweite Verdrahtungsebene mit einem zweiten Source-/Drain-Bereich über der ersten Verdrahtungsebene. Ferner enthält die Feldeffekttransistor-Anordnung mindestens ein vertikales Nanoelement als Kanal-Bereich, das zwischen den Verdrahtungsebenen angeordnet und mit beiden gekoppelt ist. Das Nanoelement ist zumindest teilweise von elektrisch leitfähigem Material als Gate-Bereich umgeben, wobei elektrisch isolierendes Material als Gate-isolierende Schicht zwischen dem Nanoelement und dem elektrisch leitfähigen Material vorgesehen ist.

WO 2004/040668 A2

BEST AVAILABLE COPY

Beschreibung

Feldeffekttransistor-Anordnung und Schaltkreis-Array

Die Erfindung betrifft eine Feldeffekttransistor-Anordnung und ein Schaltkreis-Array.

Die herkömmliche Silizium-Mikroelektronik wird bei weiter voranschreitender Verkleinerung an ihre Grenzen stoßen. Ein Problem besteht darin, dass sich ein MOS-Transistor nicht beliebig verkleinern lässt, da bei einer fortgesetzten Miniaturisierung insbesondere störende Kurzkanal-Effekte in immer stärkerem Maße auftreten.

Ferner ist die herkömmliche Silizium-Mikroelektronik für eine dreidimensionale Integration von integrierten Bauelementen, d.h. anschaulich ein Stapeln von Schichten von Bauelementen (z.B. Ebenen von Speicherelementen) nicht gut geeignet.

Aus [1] ist bekannt, in eine Gate-Elektroden-Schicht einer als Feldeffekttransistor eingerichteten Schichtenfolge ein Durchgangsloch einzubringen und in diesem ein vertikales Nanelement aufzuwachsen. Dadurch wird ein vertikaler Feldeffekttransistor mit dem Nanelement als Kanal-Bereich erhalten, wobei die elektrische Leitfähigkeit des Kanal-Bereichs mittels des das Nanelement entlang annähernd seiner gesamten Längserstreckung umgebenden Gate-Elektroden-Bereichs steuerbar ist. Bei dem aus [1] bekannten Feldeffekttransistor ist die Nanoröhre zwischen zwei einfache Elektroden als Source-/Drain-Bereiche angeordnet, wobei die Anordnung eine starke Oberflächen-Topologie aufweist, d.h. nicht eben ist, was eine 3D-Integration und den Aufbau komplexerer Schaltungen erschweren kann.

In [2] ist offenbart, dass halbleitende Kohlenstoffnanoröhren, die nach dem Aufwachsen auf einem Substrat eine Leitfähigkeit des p-Leitungstyps aufweisen, in

den n-Leitungstyp übergeführt werden können, indem in die Kohlenstoffnanoröhren Kalium-Material eingebracht wird.

Der Erfindung liegt das Problem zugrunde, eine Feldeffekttransistor-Anordnung und ein Schaltkreis-Array bereitzustellen, welche sogar für komplexere schaltungstechnische Anwendungen geeignet sind.

Das Problem wird gelöst durch eine Feldeffekttransistor-Anordnung und durch ein Schaltkreis-Array mit den Merkmalen gemäß den unabhängigen Patentansprüchen.

Die erfindungsgemäße Feldeffekttransistor-Anordnung enthält ein Substrat, eine erste Verdrahtungsebene mit einem ersten Source-/Drain-Bereich auf dem Substrat und eine zweite Verdrahtungsebene mit einem zweiten Source-/Drain-Bereich über der ersten Verdrahtungsebene. Zwischen den Verdrahtungsebenen angeordnet und mit beiden gekoppelt ist mindestens ein vertikales Naoelement als Kanal-Bereich. Ferner ist das Naoelement zumindest teilweise umgebendes elektrisch leitfähiges Material als Gate-Bereich und elektrisch isolierendes Material als Gate-isolierende Schicht zwischen dem Naoelement und dem elektrisch leitfähigen Material vorgesehen.

Das erfindungsgemäße Schaltkreis-Array weist eine Mehrzahl von nebeneinander und/oder übereinander ausgebildeten Feldeffekttransistor-Anordnungen mit den oben beschriebenen Merkmalen auf.

Bei der erfindungsgemäßen Feldeffekttransistor-Anordnung ist ein Feldeffekttransistor zwischen zwei Verdrahtungsebenen, das heißt zwischen zwei in geeigneter Weise bezogen auf eine spezifische Applikation strukturierten Metallisierungsebenen ausgebildet. Mittels der Verdrahtungsebenen ist es möglich, den Feldeffekttransistor flexibel bezogen auf die Anwendung des Einzelfalls mit anderen schaltungstechnischen Komponenten

zu koppeln bzw. zu verschalten. Die Struktur der Feldeffekttransistor-Anordnung weist einen hohen Grad an Planarität auf, das heißt eine modulare Anordnung übereinander angeordneter vorzugsweise planarer Ebenen (Substrat, erste Verdrahtungsebene, aktive Bauelement- bzw. Kopplungsebene, zweite Verdrahtungsebene). Dadurch ist ein einfaches, baukastenartiges Herstellungsverfahren sichergestellt. Dies ermöglicht den Aufbau komplexer Schaltkreise mit unterschiedlichen, miteinander verschalteten Komponenten wie zum Beispiel Speicherzellen, Transistoren und Logik-Bauelementen. Die erfindungsgemäße Feldeffekttransistor-Anordnung ist im Unterschied zu [1] nicht mit bloßen Elektroden als ersten und zweiten Source-/Drain-Bereich vorgesehen, stattdessen sind die Source-/Drain-Bereiche als Teilbereiche von komplexen Metallisierungs- oder Verdrahtungsebenen eingerichtet, so dass mit geringem Aufwand eine Ankopplung an andere integrierte Bauelemente ermöglicht ist. Somit ist ein komplexer integrierter Schaltkreis aus unterschiedlichen Bauelementen (z.B. Speicherzellen und Logik-Bauelementen) ausbildbar.

Ein Aspekt der Erfindung kann anschaulich darin gesehen werden, dass eine aktive Bauelementebene mit dem vertikalen Nanoelement (d.h. eine dem Front-End der Prozessierung zurechenbare Ebene) zwischen zwei geeignet strukturierte und jeweils nicht notwendig zusammenhängende Verdrahtungsebenen (d.h. zwei dem Back-End der Prozessierung zurechenbare Ebenen) ausgebildet wird. Eine solche Verschachtelung von Front-End- und Back-End-Komponenten resultiert aus der Idee, vertikale und somit platzsparende Feldeffekttransistoren zu verschalten, wofür anschaulich oberhalb und unterhalb der Feldeffekttransistoren Kontaktierungen als Teil-Bereiche der Verdrahtungsebenen ausgebildet sind. Soll ein Feldeffekttransistor in eine komplexere schaltungstechnische Umgebung eingebettet werden, ist eine Realisierung der Source-/Drain-Bereiche als Komponenten der Verdrahtungsebenen

eine bessere Lösung als das isolierte Vorsehen separater Source-/Drain-Bereiche für jeden einzelnen Feldeffekttransistor.

Mittels Verwendens eines vertikalen Nanoelements als Komponente der Feldeffekttransistor-Anordnung ist eine starke Miniaturisierung erreicht, simultan sind störende Kurzkanaleffekte vermieden. Anschaulich ist die Länge des Kanal-Bereichs der Feldeffekttransistor-Anordnung mittels der Länge des Nanoelements vorgegeben, so dass das Nanoelement zum Vermeiden störender Kurzkanaleffekte ausreichend lang ausgebildet werden kann und simultan eine Erhöhung des lateralen Platzbedarfs aufgrund der vertikalen Anordnung vermieden ist.

Aufgrund der planaren bzw. ebenenhaften Anordnung ist die Feldeffekttransistor-Anordnung der Erfindung gut für eine 3D-Integration geeignet, das heißt für ein System aus mehreren aufeinander ausgebildeten Bauelement-Schichten. Dadurch ist die Integrationsdichte weiter erhöht..

Anschaulich weist die erfindungsgemäße Feldeffekttransistor-Anordnung mindestens zwei Leiterbahnebenen auf, zwischen denen Nanoelement-Transistoren angeordnet sind. Der Gate-Bereich ist bei diesem aktiven Bauelement aus einem Bereich des elektrisch leitfähigen Materials gebildet, das vorzugsweise vertikale Poren aufweist, in denen das mindestens eine Nanoelement eines jeweiligen Transistorkanals angeordnet ist.

Es ist anzumerken, dass unterschiedliche Nanoelemente der Feldeffekttransistor-Anordnung unterschiedlichen Feldeffekttransistoren zugeordnet sein können, mit anderen Worten ist die erfindungsgemäße Feldeffekttransistor-Anordnung nicht auf einen einzelnen Feldeffekttransistor beschränkt, sondern kann unter Verwendung gemeinsamer erster

und zweiter Verdrahtungsebenen mehrere Feldeffekttransistoren enthalten.

Ein wichtiger Aspekt der Erfindung kann darin gesehen werden, dass ein vertikaler Feldeffekttransistor in eine einfach herzustellende Gesamtanordnung eingebettet wird.

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Das elektrisch leitfähige Material ist vorzugsweise eine elektrisch leitfähige Schicht, in die mindestens ein vertikales Durchgangsloch eingebracht ist, durch welches das Nanelement hindurchgeführt ist. Die Realisierung des elektrisch leitfähigen Materials als elektrisch leitfähige Schicht mit einem darin eingebrachten vertikalen Durchgangsloch unterstützt den planaren Charakter der erfindungsgemäßen Feldeffekttransistor-Anordnung. Mittels eines wenig aufwändigen Lithographie- und Ätz-Verfahrens sind an gezielten Orten der elektrisch leitfähigen Schicht eines oder mehrere Durchgangslöcher einbringbar, wodurch eine einfache Nanelement-Schaltungs-Architektur geschaffen ist.

Zwischen der ersten und der zweiten Verdrahtungsebene kann mindestens eine elektrisch isolierende Schicht mit mindestens einem vertikalen Durchgangsloch angeordnet sein, durch welches das Nanelement hindurchgeführt ist. Auch die Verwendung elektrisch isolierender Schichten als Komponenten der vorzugsweise vollständig planaren Feldeffekttransistor-Anordnung unterstreicht den modularen bzw. schichtenartigen Aufbau der Feldeffekttransistor-Anordnung. Die elektrisch isolierende Schicht kann zum elektrischen Entkoppeln der Verdrahtungsebenen voneinander vorgesehen sein. Vorzugsweise kann zum Strukturieren der elektrisch leitfähigen Schicht und der elektrisch isolierenden Schicht ein gemeinsames Lithographie- und Ätz-Verfahren verwendet werden, wodurch der Herstellungsaufwand weiter verringert ist.

Das Substrat kann ein amorphes oder polykristallines Substrat sein. Ein Vorteil der Erfindung ist darin zu sehen, dass die erfindungsgemäße Feldeffekttransistor-Anordnung mit einem beliebigen Substrat realisiert werden kann, so dass ein teures, einkristallines Substrat (wie beispielsweise ein Siliziumwafer) entbehrlich ist, wodurch die Herstellungskosten reduziert sind. Ein kostengünstiges amorphes oder polykristallines Substrat ist für die Bedürfnisse der Feldeffekttransistor-Anordnung völlig ausreichend. Mittels Aufbringens der unterschiedlichen Komponenten auf dem Substrat in schichtenartiger Weise ist eine 3D-Integration auf einfache Weise ermöglicht. Somit können mehrere Ebenen von aktiven Bauelementen übereinander angeordnet werden.

Die erfindungsgemäße Feldeffekttransistor-Anordnung kann aus dielektrischem Material, metallisch leitfähigem Material und dem Material der Nanostruktur bestehen. Eine wesentliche Idee der Erfindung ist somit darin zu sehen, eine elektronische Schaltung mit einem Vertikal-Feldeffekttransistor nur aus elektrischem Leiter-Material, dielektrischem Material und Nanoelementen herzustellen. Dadurch ist eine besonders kostengünstige Technologie geschaffen, bei der die Verwendung teuren Halbleiter-Materials vermieden ist.

Das Substrat kann beispielsweise ein Glas-Substrat, ein Quarz-Substrat, ein Saphir-Substrat, ein Siliziumoxid-Substrat, ein Kunststoff-Substrat, ein Keramik-Substrat oder ein polykristallines Halbleiter-Substrat sein. Es kann annähernd jedes kostengünstige Substrat zum Ausbilden der Feldeffekttransistor-Anordnung verwendet werden. Zum Integrieren von Bauelementen der Silizium-Mikrotechnologie in ein Substrat kann es vorteilhaft sein, ein kristallines Halbleiter-Substrat, beispielsweise einen Siliziumwafer, zu verwenden.

Ferner ist anzumerken, dass als Substrat insbesondere auch ein mechanisch biegsames Substrat (beispielsweise aus einem organischem Material) verwendet werden kann.

Das Nanoelement kann eine Nanoröhre, ein Bündel von Nanoröhren oder ein Nanostäbchen aufweisen. Das Nanostäbchen kann zum Beispiel aus Silizium, Germanium, Indiumphosphid, Galliumnitrid, Galliumarsenid, Zirkoniumoxid und/oder einem Metall gebildet sein. Ein als Nanoröhre ausgestaltetes Nanoelement kann eine Kohlenstoffnanoröhre, eine Kohlenstoff-Bor-Nanoröhre, eine Kohlenstoff-Stickstoff-Nanoröhre, eine Wolframsulfid-Nanoröhre oder eine Chalkogenid-Nanoröhre sein.

Insbesondere kann mindestens eines der mindestens einen Nanoelements des n-Leitungstyps sein. Beim Ausbilden einer Kohlenstoffnanoröhre als wichtiges Beispiel für ein Nanoelement wird herstellungsbedingt häufig eine Kohlenstoffnanoröhre des p-Leitungstyps erhalten. Für viele Anwendungen, beispielsweise einen p-MOSFET oder eine Diode mit einem pn-Übergang, kann es wünschenswert sein, dass zumindest ein Teil einer Nanoröhre des n-Leitungstyps ist. Mittels Einbringens von Kalium-Material in eine p-leitende Kohlenstoffnanoröhre ist es möglich, eine nach dem Wachstum p-leitend erhaltene Kohlenstoffnanoröhre in einen n-leitenden Zustand zu überführen. Beispielsweise kann eine p-leitende Nanoröhre in einem Durchgangsloch aufgewachsen werden, dessen umgebendes Material Kalium enthält. Mittels thermischen Austreibens von Kalium-Material aus dem umgebenden Festkörper kann Kalium-Material in die Nanostruktur eingebracht werden, wodurch eine p-dotierte Kohlenstoffnanoröhre in eine n-dotierte übergeführt werden kann.

Die erfindungsgemäße Feldeffekttransistor-Anordnung kann auch als nichtflüchtige Speicherzelle eingerichtet sein, wobei das elektrisch isolierende Material als Speicherschicht für elektrische Ladungsträger dient und derart eingerichtet ist, dass elektrische Ladungsträger selektiv darin einbringbar

oder daraus entfernbar sind. Ferner ist die elektrische Leitfähigkeit des Nanoelements charakteristisch mittels in dem elektrisch isolierenden Material eingebrachten elektrischen Ladungsträgern beeinflussbar. Anschaulich kann die Gate-isolierende Schicht aus einem solchen Material ausgebildet sein, dass mittels Anlegens geeigneter elektrischer Potentiale an die Source-/Drain-Bereiche bzw. den Gate-Bereich des Feldeffekttransistors elektrische Ladungsträger dauerhaft in die Gate-isolierende Schicht zum Beispiel mittels Fowler-Nordheim-Tunnelns oder mittels Tunnelns heißer Elektronen/Löcher injizierbar sind. Die dauerhaft eingebrachten elektrischen Ladungsträger bewirken aufgrund des Feldeffekts eine Verschiebung der Einsatzspannung des Feldeffekttransistors, in welcher eine Speicherinformation codierbar ist. Als Material für das elektrisch isolierende Material als Ladungsspeicher eignen sich beispielsweise eine Siliziumoxid-Siliziumnitrid-Siliziumoxid-Schichtenfolge (ONO-Schichtenfolge) oder eine Aluminiumoxid-Schicht. In einem solchen Fall kann die Feldeffekttransistor-Anordnung als Permanent-Speicherzelle oder Permanent-Speicherzellen-Anordnung verwendet werden.

Alternativ kann die Feldeffekttransistor-Anordnung als DRAM-Speicherzelle ("Dynamic Random Access Memory") eingerichtet sein, wobei der Feldeffekttransistor als Schalt-Transistor eingerichtet sein kann, und ein Stapel-Kondensator ("stacked capacitor") als Speicher-Kondensator vorgesehen sein kann, wobei das Nanoelement auf zumindest einem Teil des Speicher-Kondensators aufgewachsen ist. Die Realisierung der Feldeffekttransistor-Anordnung als DRAM-Speicherzelle ist mittels des schichtartigen Aufbaus begünstigt, da das Ausbilden eines Stapel-Kondensators bequem in die schichtartige Architektur integriert werden kann.

Die erfindungsgemäße Feldeffekttransistor-Anordnung kann ferner als CMOS-Bauelement eingerichtet sein, wobei zwei Feldeffekttransistoren in der oben beschriebenen Weise

ausgebildet sind, von denen einer ein Nanoelement des p-Leitungstyps und der andere ein Nanoelement des n-Leitungstyps aufweist. Die erfindungsgemäße Feldeffekttransistor-Anordnung kann somit auf die Anforderungen der CMOS-Technologie zugeschnitten werden, wobei im Vergleich zu der herkömmlichen CMOS-Technologie der Platzbedarf eines CMOS-Bauelements aufgrund der Verwendung vertikaler Nanoröhren erheblich verringert ist. Die erfindungsgemäße Feldeffekttransistor-Anordnung ermöglicht das Integrieren aller erforderlichen Bestandteile einer CMOS-Schaltung mit geringem Aufwand.

Vorzugsweise können die Feldeffekttransistoren des CMOS-Bauelements zu einem Inverter-Schaltkreis verschaltet sein, der bei Anlegen eines logischen Signals an einem Eingang dieses in ein logisches Signal an einem Ausgang umwandelt, welches gegenüber dem Signal an einem Eingang einen logisch-komplementären Wert aufweist.

Zumindest eines des mindestens einen Durchgangslochs kann mit elektrisch leitfähigem Koppel-Material zum Koppeln der ersten und zweiten Verdrahtungsebenen gefüllt sein.

Bei einer komplexeren Feldeffekttransistor-Anordnung, welche zusätzlich zu dem Feldeffekttransistor weitere Komponenten aufweist oder bei welcher unterschiedliche Anschlüsse des Feldeffekttransistors miteinander gekoppelt sind, können Durchgangslöcher (Vias) durch eine oder mehrere Schichten der Anordnung vorteilhaft sein, welche mittels in die Durchgangslöcher zwischen den Verdrahtungsebenen eingebrachtem elektrisch leitfähigem Material realisiert sein können. Insbesondere kann das elektrisch leitfähige Koppel-Material ein Bündel von Nanoelementen sein, das eine ausreichend gute elektrische Leitfähigkeit aufweist. Mittels Verwendens eines Bündels von Nanoelementen als Kopplungsmittel zum Füllen eines Durchgangslochs kann ein

Koppel-Element extrem geringer Dimension (nämlich im Bereich weniger Nanometer und weniger) erhalten werden.

Die Feldeffekttransistor-Anordnung ist vorzugsweise als Schichtenfolge aus einer Mehrzahl planarisierter Schichten eingerichtet. Mit anderen Worten ist die Feldeffekttransistor-Anordnung vorzugsweise vollständig planar aufgebaut, das heißt die Leiterbahnebenen ebenso wie die Gate-Elektroden sind auf einem jeweils im Wesentlichen ebenen Untergrund ohne ausgeprägte Topologie angeordnet und die Zwischenräume innerhalb dieser Ebenen sind mit dielektrischem Material aufgefüllt, so dass die Oberfläche dieser Schicht wiederum planar ist. Zwischen den Leiterbahnebenen und einer Gate-Ebene kann jeweils eine dielektrische Schicht angeordnet sein, die von den Nanoelementen und von den Kontaktlöchern durchstoßen wird. Das Realisieren eines vollständig planaren Aufbaus kann dadurch unterstützt werden, dass nach Ausbilden einer jeweiligen Ebene ein Planarisierungs-Verfahrensschritt durchgeführt wird, um eine planare Oberfläche zu realisieren. Dies kann besonders vorteilhaft unter Verwendung des CMP-Verfahrens ("Chemical Mechanical Polishing") realisiert werden. Das Erweitern der planaren Anordnung auf eine dreidimensionale Integration ergibt sich beispielsweise durch mehrfaches Wiederholen des Prozessablaufs, d.h. wiederholtes Abscheiden von Schichtenfolgen aufeinander.

Darüber hinaus kann das das Nanoelement umgebende elektrisch isolierende Material als Ringstruktur realisiert sein, welche die Gate-isolierende Schicht des Vertikal-Transistors bildet, und es kann zumindest ein Teil der elektrisch isolierenden Ringstruktur von dem elektrisch leitfähigen Material umgeben sein, welches die Gate-Elektrode des Vertikal-Transistors bildet.

Indem das Nanoelement von einer elektrisch isolierenden Ringstruktur (anstatt von einer zylindermantelartigen

Struktur) umgeben ist, ist eine Gate-isolierende Schicht bereitgestellt, welche von dem als Gate-Elektrode fungierenden elektrisch leitfähigem Material umgeben ist. Mittels Anlegens einer geeigneten Spannung an das elektrisch leitfähige Material kann die Leitfähigkeit des Nanoelements, fungierend als Kanal-Bereich, charakteristisch beeinflusst werden, so dass das Nanoelement gemeinsam mit der elektrisch isolierenden Ringstruktur und dem elektrisch leitfähigen Material die Funktionalität eines Feldeffekttransistors mit besonders hoher Sensitivität erfüllt. Mittels Verwendens einer ringförmigen Gate-Elektrode kann aufgrund eines elektrostatischen Spitzeneffekts die Amplitude eines mittels Anlegens einer elektrischen Spannung an die Gate-Elektrode generierten elektrischen Felds nahe des Nanoelements besonders groß gemacht werden, so dass eine besonders exakte Steuerung der elektrischen Leitfähigkeit des Kanal-Bereichs ermöglicht ist.

Es ist ein wichtiger Aspekt der erfindungsgemäßen Schaltkreis-Architektur, einen Schaltkreis mit mehreren unterschiedlichen Komponenten, die miteinander verschaltet sind, bereitzustellen.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

Es zeigen:

Figuren 1 bis 3 Schichtenfolgen zu unterschiedlichen Zeitpunkten während eines Verfahrens zum Herstellen einer Feldeffekttransistor-Anordnung gemäß einem ersten Ausführungsbeispiel der Erfindung,

Figur 4 eine Feldeffekttransistor-Anordnung gemäß einem ersten Ausführungsbeispiel der Erfindung,

Figur 5 ein Ersatzschaltbild eines Teilbereichs der in Figur 5 gezeigten Feldeffekttransistor-Anordnung, eingerichtet als Inverter-Schaltkreis,

Figur 6 eine Draufsicht einer Feldeffekttransistor-Anordnung gemäß einem zweiten Ausführungsbeispiel der Erfindung,

Figur 7 eine Querschnittsansicht der in Figur 6 gezeigten Feldeffekttransistor-Anordnung, aufgenommen entlang einer Schnittlinie I-I',

Figur 8 eine Querschnittsansicht der in Figur 6 gezeigten Feldeffekttransistor-Anordnung, aufgenommen entlang einer Schnittlinie II-II',

Figur 9 eine Feldeffekttransistor-Anordnung gemäß einem dritten Ausführungsbeispiel der Erfindung.

Gleiche oder ähnliche Komponenten in unterschiedlichen Figuren sind mit gleichen Bezugsziffern versehen.

Im Weiteren wird bezugnehmend auf Fig.1 bis Fig.4 ein Verfahren zum Herstellen einer Feldeffekttransistor-Anordnung gemäß einem ersten Ausführungsbeispiel der Erfindung beschrieben.

Um die in Fig.1 gezeigte Schichtenfolge 100 zu erhalten, wird auf einem Glas-Substrat 101 eine Nickel-Schicht abgeschieden und unter Verwendung eines Lithographie- und eines Ätz-Verfahrens strukturiert, wodurch eine erste Nickel-Verdrahtungsebene 102 erhalten wird. In einem weiteren Verfahrensschritt wird Aluminiumoxid (Al_2O_3) ausreichend dick auf der so erhaltenen Schichtenfolge abgeschieden und unter Verwendung eines CMP-Verfahrens ("Chemical Mechanical Polishing") mit dem Nickel-Material der ersten Nickel-Verdrahtungsebene 102 als Stoppschicht planarisiert. Das

zurückbleibende Aluminiumoxid-Material zwischen den Komponenten der ersten Nickel-Verdrahtungsebene 102 bildet eine erste Aluminiumoxid-Struktur 103. Die Komponenten 102, 103 bilden gemeinsam eine völlig planare Schicht. Auf der so erhaltenen Schichtenfolge wird eine erste Aluminiumoxid-Schicht 104 abgeschieden.

Um die in Fig.2 gezeigte Schichtenfolge 200 zu erhalten, wird auf der Schichtenfolge 100 Aluminium-Material abgeschieden und unter Verwendung eines Lithographie- und eines Ätz-Verfahrens derart strukturiert, dass Gate-Bereiche 201 für im Weiteren auszubildende Feldeffekttransistoren zurückbleiben. Ferner wird Aluminiumoxid-Material ausreichend dick auf der so erhaltenen Schichtenfolge abgeschieden und unter Verwendung eines CMP-Verfahrens mit dem Aluminium-Material der Gate-Bereiche 201 als Stoppschicht planarisiert. Dadurch entsteht eine zweite Aluminiumoxid-Struktur 202, die gemeinsam mit den Gate-Bereichen 201 eine weitere planare Schicht bilden. Nachfolgend wird Aluminiumoxid-Material auf der so erhaltenen Schichtenfolge abgeschieden, wodurch eine zweite Aluminiumoxid-Schicht 203 erzeugt wird. Es ist anzumerken, dass die Gate-Bereiche 201 und die zweite Aluminiumoxid-Struktur 202 gemeinsam eine weitere völlig planare Ebene bilden, welche Ebene von der aus den Komponenten 102, 103 gebildeten Ebene mittels der ersten Aluminiumoxid-Schicht 104 getrennt ist. Die auf der Oberfläche der Schichtenfolge 200 angeordnete zweite Aluminiumoxid-Schicht 203 ist ebenfalls planar.

Um die in Fig.3 gezeigte Schichtenfolge 300 zu erhalten, wird unter Verwendung eines Elektronenstrahlolithographie-Verfahrens eine Porenmaske auf der Oberfläche der Schichtenfolge 200 erzeugt, mit welcher Porenmaske die Stellen eines späteren Aufwachsens von Kohlenstoffnanoröhren definiert werden. In einem weiteren Verfahrensschritt wird unter Verwendung eines geeigneten Ätz-Verfahrens entsprechend der ausgebildeten Porenmaske zunächst Aluminiumoxid-Material

der zweiten Aluminiumoxid-Schicht 203, nachfolgend Aluminium-Material der Gate-Bereiche 201 und schließlich Aluminiumoxid-Material der ersten Aluminiumoxid-Schicht 104 entfernt. Dadurch werden in den aufeinander angeordneten Schichten 104, 202 und 203 an definierten Orten Durchgangslöcher geätzt. Das an den Oberflächen der Durchgangslöcher freigelegte Aluminium-Material der Gate-Bereiche 201 wird an der Oberfläche mittels thermischen Oxidierens mit einer Dicke im Nanometer-Bereich oxidiert, wodurch eine Gate-isolierende Schicht 302 aus Aluminiumoxid-Material für die späteren Feldeffekttransistoren gebildet wird. In einem weiteren Verfahrensschritt werden unter Verwendung eines CVD-Verfahrens ("Chemical Vapour Deposition") halbleitende Kohlenstoffnanoröhren 301 auf dem das Aufwachsen von Kohlenstoffnanoröhren 301 katalytisch unterstützenden Nickel-Material aufgewachsen, wobei die Durchgangslöcher durch die Schichten 104, 202, 203 anschaulich als Schablonen zum Aufwachsen der Kohlenstoffnanoröhren 301 dienen. Als Alternative zu dem Nickel-Material als Katalysator-Material ist zum Beispiel Eisen oder Kobalt verwendbar. Mittels der Durchgangslöcher ist den Kohlenstoffnanoröhren 301 eine definierte Aufwachsrichtung vorgegeben, so dass strukturell gut definierte vertikale Kohlenstoffnanoröhren 301 erhalten werden.

Um die in Fig.4 gezeigte Feldeffekttransistor-Anordnung 400 gemäß einem ersten Ausführungsbeispiel der Erfindung zu erhalten, werden mittels eines Lithographie- und eines Ätz-Verfahrens unter Verwendung von Nickel-Material der ersten Nickel-Verdrahtungsebene 102 bzw. von Aluminium-Material der Aluminium-Gate-Bereiche 201 als Stoppmaterial Kontaktlöcher in die Schichtenfolge 300 geätzt. Diese Kontaktlöcher werden mittels Abscheidens von Nickel-Material gefüllt, wodurch vertikale Nickel-Kopplungselemente 401 ausgebildet werden. Mittels Abscheidens zusätzlichen Nickel-Materials wird auf der Oberfläche der so erhaltenen Schichtenfolge eine Nickel-Schicht ausgebildet, die unter Verwendung eines Lithographie-

und eines Ätz-Verfahrens derart strukturiert wird, dass eine zweite Nickel-Verdrahtungsebene 402 generiert wird.

Die Feldeffekttransistor-Anordnung 400 stellt anschaulich eine planare, aus aufeinander aufgetragenen Schichtenebenen ausgebildete Schicht-Anordnung dar, gebildet aus einer ersten Ebene 102, 103, einer zweiten Ebene 201, 202 und einer dritten Ebene 402. Die Kopplung zwischen unterschiedlichen Ebenen ist mittels vertikaler Kopplungselemente 301, 401 realisiert. Dadurch ist eine neuartige Schaltungs-Architektur auf Basis von Nanoelementen geschaffen, bei der eine für 3D-Integration störende Oberflächen-Topographie vermieden ist.

Anschaulich enthält die Feldeffekttransistor-Anordnung 400 einen ersten Feldeffekttransistor 403, einen zweiten Feldeffekttransistor 404 und einen dritten Feldeffekttransistor 405. Bei dem ersten Feldeffekttransistor 403 bildet die Kohlenstoffnanoröhre 301 den Kanal-Bereich, ein Grenzbereich zwischen der Kohlenstoffnanoröhre 301 und der ersten Nickel-Verdrahtungsebene 102 bildet einen ersten Source-/Drain-Bereich des ersten Feldeffekttransistors 403, ein Grenzbereich zwischen der Kohlenstoffnanoröhre 301 und der zweiten Nickel-Verdrahtungsebene 402 bildet einen zweiten Source-/Drain-Bereich, das die Kohlenstoffnanoröhre 301 umgebende Aluminium-Material bildet den Gate-Bereich 201 des ersten Feldeffekttransistors 401, und das thermisch oxidierte Aluminiumoxid-Material an der Wand des in den Gate-Bereich 201 eingebrachten Durchgangslochs bildet die Gate-isolierende Schicht 302 des ersten Feldeffekttransistors 403. Die zweiten und dritten Feldeffekttransistoren 404, 405 sind in ähnlicher Weise gebildet wie der erste Feldeffekttransistor 403.

Im Weiteren wird beschrieben, wie die Feldeffekttransistor-Anordnung 400 als CMOS-Inverter eingerichtet, verschaltet bzw. betrieben wird.

Es ist anzumerken, dass für eine Verwendung der Feldeffekttransistoren 403, 404 als Inverter der erste Feldeffekttransistor 403 des n-Leitungstyps ist, wohingegen der zweite Feldeffekttransistor 404 des p-Leitungstyps ist. Um dies zu realisieren, kann beispielsweise der erste Feldeffekttransistor 403 in einem anderen Verfahrensschritt ausgebildet sein als der zweite Feldeffekttransistor 404, wobei mittels Einstellens der Reaktionsparameter bei dem CVD-Verfahren zum Abscheiden der Kohlenstoffnanoröhren 301 des n-MOS-Feldeffekttransistors 403 bzw. des p-MOS-Feldeffekttransistors 404 der Leitungstyp (n- oder p-Leitung) der jeweiligen Kohlenstoffnanoröhre 301 eingestellt wird. Alternativ kann, ähnlich wie in [2] beschrieben, der n-MOS-Feldeffekttransistor 403 ausgebildet werden, indem das ihn umgebende Material des Gate-Bereichs 201 mit Kaliummaterial versehen wird, und dieses Kalium-Material thermisch aus dem Gate-Bereich 201 ausgetrieben wird, wodurch dieses Kalium-Material als Dotierstoff in die Kohlenstoffnanoröhre 301 des n-MOS-Feldeffekttransistors 403 injiziert wird. Wird erst anschließend die p-leitende Kohlenstoffnanoröhre 301 des p-MOS-Feldeffekttransistors 404 ausgebildet, so sind ein n-MOS-Feldeffekttransistor 403 und ein p-MOS-Feldeffekttransistor 404 als Basis für ein CMOS-artiges Bauelement realisiert.

Im Weiteren wird beschrieben, wie die Feldeffekttransistor-Anordnung 400 als Inverter-Schaltkreis betreibbar ist. An einen Inverter-Eingang 406, der als Komponente der zweiten Nickel-Verdrahtungsebene 402 realisiert ist, ist ein gemäß der Inverter-Logik zu verarbeitendes Eingangssignal anlegbar. An einem Inverter-Ausgang 407 als Anschluss einer anderen Komponente der zweiten Nickel-Verdrahtungsebene 402 ist ein Ausgangssignal bereitgestellt, das aufgrund der Funktionalität der in der in Fig.4 gezeigten Weise verschalteten Feldeffekttransistoren 403, 404 entsprechend der Inverter-Logik aus dem an dem Inverter-Eingang 406 bereitgestellten Eingangssignal generiert ist. An einem Versorgungsspannungs-Anschluss 408 der zweiten Nickel-Verdrahtungsebene 402 ist

eine Versorgungsspannung V_{DD} angelegt. Anschaulich ist der Versorgungsspannungs-Anschluss 408 mit dem zweiten Source-/Drain-Anschluss des zweiten Feldeffekttransistors 404 gekoppelt. Ferner ist an einem Massepotential-Anschluss 409 als andere Komponente der zweiten Nickel-Verdrahtungsebene 402 das elektrische Massepotential anlegbar. Der zweite Source-/Drain-Anschluss des ersten Feldeffekttransistors 403 ist somit auf elektrischem Massepotential. Die ersten Source-/Drain-Anschlüsse der Feldeffekttransistoren 403, 404 sind miteinander mittels einer Komponente der ersten Nickel-Verdrahtungsebene 102 gekoppelt.

Es ist anzumerken, dass sowohl die erste Nickel-Verdrahtungsebene 102 als auch die zweite Nickel-Verdrahtungsebene 402 jeweils eine Mehrzahl nicht-zusammenhängende, zum Teil voneinander elektrisch entkoppelte Komponenten enthält, wodurch die angestrebte Funktionalität der erfindungsgemäßen Feldeffekttransistor-Anordnung erst erreicht ist.

In Fig.5 ist ein Ersatzschaltbild 500 der in der in Fig.4 gezeigten Weise verschalteten Feldeffekttransistoren 403, 404 gezeigt. Entsprechend der Inverter-Logik der als Inverter-Schaltkreis verschalteten Feldeffekttransistor-Anordnung 400 ist an dem Inverter-Ausgang 407 genau dann ein Signal mit einem logischen Wert "0" bereitgestellt, wenn das Eingangssignal 406 auf einem logischen Wert "1" ist. An dem Inverter-Ausgang 407 ist genau dann ein Signal mit einem logischen Wert "1" bereitgestellt, wenn das Eingangssignal 406 auf einem logischen Wert "0" ist.

Die beiden Feldeffekttransistoren 403, 404 bilden einen Inverter mit einem n-Kanal-Transistor 403 und einem p-Kanal-Transistor 404. Die jeweiligen zweiten Source-/Drain-Bereiche sind auf dem Massepotential 409 bzw. dem Potential der Versorgungsspannung V_{DD} 408, der Gate-Bereich 201 ist für die

beiden Transistoren 403, 404 gemeinsam vorgesehen und ist mit dem Inverter-Eingang 406 gekoppelt. Die zweiten Source-/ Drain-Bereiche der Transistoren 403, 404 sind miteinander gekoppelt und bilden den Inverter-Ausgang 407.

Mittels des an dem Inverter-Ausgang 407 anliegenden elektrischen Potentials ist aufgrund der in Fig.4 gezeigten Verkopplung der Gate-Bereich 201 des dritten Feldeffekttransistors 405 ansteuerbar. Somit ist die einfache Inverter-Funktionalität der Transistoren 403, 404 mittels des dritten Feldeffekttransistors 405 erweitert, so dass eine komplexere CMOS-Schaltung realisiert ist.

Im Weiteren wird bezugnehmend auf Fig.6 bis Fig.8 eine Feldeffekttransistor-Anordnung 600 gemäß einem zweiten Ausführungsbeispiel der Erfindung beschrieben.

In Fig.6 ist eine Draufsicht der Feldeffekttransistor-Anordnung 600 gezeigt, welche Feldeffekttransistor-Anordnung 600 als nichtflüchtige Speicherzellen-Anordnung realisiert ist. In Fig.6 ist eine Vielzahl von entlang einer ersten Richtung verlaufenden ersten Bitleitungen 601 gezeigt, die oberhalb einer Vielzahl von entlang einer zweiten, zu der ersten Richtung orthogonalen Richtung verlaufenden Wortleitungen 602 verlaufend angeordnet sind. Anschaulich ist in jedem Kreuzungsbereich eine der Wortleitungen 602 mit einer der ersten Bitleitungen 601 eine Speicherzelle ausgebildet.

Fig.6 ist zu entnehmen, dass der Abstand zweier zueinander benachbarter erster Bitleitungen 601 bzw. zweier voneinander benachbarter Wortleitungen 602 jeweils $2F$ ist, wobei F die in einer Technologiegeneration minimal erreichbare Strukturdimension ist. Somit ist der Platzbedarf einer Speicherzelle $4F^2$, so dass eine besonders hohe Integrationsdichte erreicht ist.

Im Weiteren wird bezugnehmend auf **Fig.7** eine erste Querschnittsansicht 700 der Feldeffekttransistor-Anordnung 600 beschrieben, aufgenommen entlang einer in **Fig.6** gezeigten Schnittlinie I-I'.

Aus der ersten Querschnittsansicht 700 ist der vertikale Schichtaufbau der als nichtflüchtige Speicherzellen-Anordnung in Nicht-ODER-Architektur ausgebildeten Feldeffekttransistor-Anordnung 600 gezeigt. Auf einem Glas-Substrat 101 sind zueinander parallel verlaufende zweite Bitleitungen 701 aus Nickel-Material ausgebildet, von denen in **Fig.7** aufgrund der Schnittansicht nur eine gezeigt ist. Die zweiten Bitleitungen 701 werden ausgebildet, indem auf dem Glas-Substrat 101 zunächst eine durchgehende Nickel-Schicht abgeschieden wird, und diese nachfolgend unter Verwendung eines Lithographie- und eines Ätz-Verfahrens zu zueinander parallel verlaufenden zweiten Bitleitungen 701 strukturiert wird. Mit anderen Worten verlaufen die zweiten Bitleitungen 701 im Wesentlichen parallel zu den ersten Bitleitungen 601. Nach dem Strukturierungs-Verfahren werden die Zwischenräume zwischen den zweiten Bitleitungen 701 mit elektrisch isolierendem Material aufgefüllt, und die so erhaltene Schichtenfolge unter Verwendung eines CMP-Verfahrens planarisiert. Alternativ können die zweiten Bitleitungen 701 unter Verwendung eines Damascene-Verfahrens ausgebildet werden.

Auf der so erhaltenen Schichtenfolge wird eine erste Aluminiumoxid-Schicht 104 abgeschieden. Auf der so erhaltenen Schichtenfolge wird eine Aluminium-Schicht abgeschieden und unter Verwendung eines Lithographie- und eines Ätz-Verfahrens derart strukturiert, dass Gate-Bereiche 702 zurückbleiben. Diese sind derart angeordnet, dass für jeden im Weiteren ausgebildeten Feldeffekttransistor ein separater Gate-Bereich 702 geschaffen ist. Die Zwischenräume zwischen benachbarten Gate-Bereichen 702 werden mit einer Aluminiumoxid-Struktur 703 aufgefüllt. Die so erhaltene Schichtenfolge wird unter Verwendung eines CMP-Verfahrens planarisiert. Nachfolgend

wird eine zweite Aluminiumoxid-Schicht 203 abgeschieden. Ähnlich wie in Fig.3 gezeigt, wird unter Verwendung eines Elektronenstrahlolithographie-Verfahrens eine Porenmaske erzeugt, mittels welcher die späteren Aufwachsstellen von Kohlenstoffnanoröhren definiert werden. Unter Verwendung eines Ätz-Verfahrens werden dann die zweite Aluminiumoxid-Schicht 203, die Gate-Bereiche 702 und die erste Aluminiumoxid-Schicht 104 zum Generieren von Durchgangslöchern geätzt, wodurch Oberflächenbereiche der ersten Nickel-Bitleitung 701 freigelegt werden. Ein freiliegender Oberflächenbereich des Aluminium-Materials der Gate-Bereiche 702 in den Durchgangslöchern wird thermisch oxidiert, wodurch eine hohlzylinderförmige Aluminiumoxid-Schicht als Gate-isolierende Schicht 704 und als Ladungsspeicher-Schicht in jedem der Durchgangslöcher erzeugt wird. Auf den freigelegten Oberflächenbereichen der zweiten Nickel-Bitleitung 701, welche auch als Katalysatormaterial zum Aufwachsen von Kohlenstoffnanoröhren dient, werden mittels eines CVD-Verfahrens Kohlenstoffnanoröhren 301 vertikal aufgewachsen, wobei die Durchgangslöcher in den Schichten 104, 702 und 203 als mechanische Führung zum vertikalen Aufwachsen der Kohlenstoffnanoröhren 301 dienen. Auf der so erhaltenen Schichtenfolge wird weiteres Nickel-Material abgeschieden und strukturiert, wodurch die ersten Bitleitungen 601 in der in Fig.6 gezeigten Weise generiert werden.

Wie in Fig.7 gezeigt, werden eine Vielzahl von Feldeffekttransistoren erzeugt, wobei mittels der Kopplungsbereiche zwischen den jeweiligen ersten bzw. zweiten Bitleitungen 601, 701 und einer jeweiligen Kohlenstoffnanoröhre 301 erste bzw. zweite Source-/Drain-Bereiche gebildet sind. Eine jeweilige Kohlenstoffnanoröhre 301 selbst bildet den Kanal-Bereich des jeweiligen Feldeffekttransistors. Die eine jeweilige Kohlenstoffnanoröhre 301 umgebende Gate-isolierende Ladungsspeicher-Schicht 704 erfüllt die Funktionalität einer

Gate-isolierenden Schicht des jeweiligen Feldeffekttransistors und erfüllt ferner die Funktionalität einer Ladungsspeicher-Schicht. Aufgrund der Funktionalität als Ladungsspeicher-Schicht ist sie derart eingerichtet, dass elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernbar sind, wobei die elektrische Leitfähigkeit der Kohlenstoffnanoröhren 301 charakteristisch von dem in dem elektrisch isolierenden Material eingebrachten elektrischen Ladungsträgern beeinflussbar ist. Die Gate-Bereiche 702 bilden einen Teilbereich der Wortleitungen 602.

Im Weiteren wird bezugnehmend auf Fig.8 eine zweite Querschnittsansicht 800 der als Permanent-Speicherzellen-Anordnung eingerichteten Feldeffekttransistor-Anordnung 600 beschrieben. Die zweite Querschnittsansicht 800 ist aufgenommen entlang einer in Fig.6 gezeigten Schnittlinie II-II'.

Wie in Fig.8 gezeigt, verlaufen die ersten und zweiten Bitleitungen 601, 701 zueinander parallel, wohingegen die Wortleitungen 602 orthogonal zu den Bitleitungen 601, 701 verlaufen. Wie ferner in Fig.8 gezeigt, teilen sich die in Fig.8 gezeigten vier Speicherzellen eine gemeinsame Wortleitung 602. Dagegen teilen sich die vier in Fig.7 gezeigten Speicherzellen gemeinsame erste und zweite Bitleitungen 601, 701.

Die Feldeffekttransistor-Anordnung 600 stellt eine nichtflüchtige Speicherzellen-Anordnung in Nicht-ODER-Architektur dar. In Fig.6 ist das Layout der Anordnung gezeigt, Fig.7 zeigt eine erste Querschnittsansicht 700 entlang eines Bitleitungspaares 601, 701 und Fig.8 zeigt eine zweite Querschnittsansicht 800 entlang einer Wortleitung 602. Eine jeweilige Speicherzelle befindet sich in einem Kreuzungsbereich zwischen einem Bitleitungspaar 601, 701 einerseits und einer Wortleitung 602 andererseits.

In jeder der Speicherzellen ist ein Gate-Dielektrikum aus Aluminiumoxid vorgesehen, in dem elektrische Ladungsträger einbringbar und dauerhaft speicherbar sind, beispielsweise mittels Fowler-Nordheim-Tunnelns. Aufgrund des sehr einfachen planaren Aufbaus der Feldeffekttransistor-Anordnung 600 ergibt sich ein Flächenbedarf von $4F^2$ für jede Speicherzelle. Die Feldeffekttransistor-Anordnung 600 ist für eine 3D-Integration geeignet. Mit anderen Worten können die in Fig.7, Fig.8 gezeigten Schichtenfolgen mehrfach aufeinander geschichtet werden, um die Integrationsdichte zu erhöhen.

Sind in die Gate-isolierende Schicht einer jeweiligen Speicherzelle elektrische Ladungsträger injiziert, so verschiebt sich dadurch die Einsatzspannung des jeweiligen Feldeffekttransistors, worin eine beispielsweise binäre Information dauerhaft speicherbar ist. Wird an eine Wortleitung 602 eine Spannung angelegt, so kann dadurch eine Zeile von Speicherzellen ausgewählt werden. Legt man eine Spannung zwischen die einer Speicherzelle zugehörigen Bitleitungen 601, 701 an, ist der Wert des elektrischen Stroms ein Maß dafür, welche Speicherinformation in der jeweiligen Speicherzelle gespeichert ist, das heißt, wie viele Ladungsträger und Ladungsträger welchen Ladungstyps in der Gate-isolierenden Schicht des jeweiligen Speicher-Feldeffekttransistors enthalten sind.

Im Weiteren wird bezugnehmend auf Fig.9 eine Feldeffekttransistor-Anordnung 900 gemäß einem dritten Ausführungsbeispiel der Erfindung beschrieben.

Die in Fig.9 gezeigte Feldeffekttransistor-Anordnung 900 ähnelt hinsichtlich Aufbau und Funktionalität stark der in Fig.4 gezeigten Feldeffekttransistor-Anordnung 400.

Der wesentliche Unterschied zu der Feldeffekttransistor-Anordnung 400 ist, dass bei der Feldeffekttransistor-Anordnung 900 das die Kohlenstoffnanoröhren 301 umgebende

elektrisch isolierende Material anschaulich als Ringstruktur realisiert ist, welche die Gate-isolierende Schicht 302 des jeweiligen Vertikal-Transistors 403 bis 405 bildet. Ferner ist die elektrisch isolierende Ringstruktur von elektrisch leitfähigem Material von Gate-Bereichen 901 umgeben, welche die Gate-Elektrode der Vertikal-Transistoren 403 bis 405 bildet.

Anschaulich ist der Unterschied zwischen den Feldeffekttransistor-Anordnungen 400 und 900 darin zu sehen, dass die zweite Aluminiumoxid-Struktur 902 eine Schicht einer wesentlich geringeren Dicke ist als die zweite Aluminiumoxid-Struktur 202, und dass die Gate-Bereiche 901 als eine Schicht einer wesentlich geringeren Dicke realisiert sind als die Gate-Bereiche 201. Dagegen sind in Fig.9 die Dicken der Schichten 104 und 203 größer gewählt als gemäß Fig.4.

Indem die Kohlenstoffnanoröhren 301 von einer elektrisch isolierenden Ringstruktur umgeben sind, ist eine Gate-isolierende Schicht bereitgestellt, welche von dem als Gate-Elektrode fungierenden elektrisch leitfähigem Material 901 umgeben ist. Mittels Anlegens einer geeigneten Spannung an das elektrisch leitfähige Material 901 kann die Leitfähigkeit der Kohlenstoffnanoröhren 301, fungierend als Kanal-Bereich, aufgrund eines elektrostatischen Spitzeneffekts (als Folge der geringen Dicke der Schicht 901) besonders sensitiv beeinflusst werden.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

[1] DE 100 36 897 C1

[2] Zhou, C, Kong, J, Yenilmez, E, Dai, H (2000) "Modulated
Chemical Doping of Individual Carbon Nanotubes",
Science 290:1552

Bezugszeichenliste

- 100 Schichtenfolge
- 101 Glas-Substrat
- 102 erste Nickel-Verdrahtungsebene
- 103 erste Aluminiumoxid-Struktur
- 104 erste Aluminiumoxid-Schicht
- 200 Schichtenfolge
- 201 Gate-Bereiche
- 202 zweite Aluminiumoxid-Struktur
- 203 zweite Aluminiumoxid-Schicht
- 300 Schichtenfolge
- 301 Kohlenstoffnanoröhren
- 302 Gate-isolierende Schicht
- 400 Feldeffekttransistor-Anordnung
- 401 Nickel-Kopplungselemente
- 402 zweite Nickel-Verdrahtungsebene
- 403 erster Feldeffekttransistor
- 404 zweiter Feldeffekttransistor
- 405 dritter Feldeffekttransistor
- 406 Inverter-Eingang
- 407 Inverter-Ausgang
- 408 Versorgungsspannungs-Anschluss
- 409 Massepotential-Anschluss
- 500 Ersatzschaltbild
- 600 Feldeffekttransistor-Anordnung
- 601 erste Bitleitungen
- 602 Wortleitungen
- 700 erste Querschnittsansicht
- 701 zweite Bitleitung
- 702 Gate-Bereich
- 703 Aluminiumoxid-Struktur
- 704 Gate-isolierende Schicht
- 800 zweite Querschnittsansicht

900 Feldeffekttransistor-Anordnung

901 Gate-Bereiche

902 zweite Aluminiumoxid-Struktur

Patentansprüche:**1. Feldeffekttransistor-Anordnung**

- mit einem Substrat;
- mit einer ersten Verdrahtungsebene mit einem ersten Source-/Drain-Bereich auf dem Substrat;
- mit einer zweiten Verdrahtungsebene mit einem zweiten Source-/Drain-Bereich über der ersten Verdrahtungsebene;
- mit mindestens einem vertikalen Nanoelement als Kanal-Bereich, das zwischen den Verdrahtungsebenen angeordnet und mit beiden gekoppelt ist;
- mit dem Nanoelement zumindest teilweise umgebendem elektrisch leitfähigem Material als Gate-Bereich;
- mit elektrisch isolierendem Material als Gate-isolierende Schicht zwischen dem Nanoelement und dem elektrisch leitfähigen Material.

2. Feldeffekttransistor-Anordnung nach Anspruch 1,
bei der das elektrisch leitfähige Material eine elektrisch leitfähige Schicht ist, in die mindestens ein vertikales Durchgangsloch eingebracht ist, durch welches das Nanoelement hindurchgeführt ist.

3. Feldeffekttransistor-Anordnung nach Anspruch 1 oder 2,
bei der zwischen der ersten und der zweiten Verdrahtungsebene mindestens eine elektrisch isolierende Schicht mit mindestens einem vertikalen Durchgangsloch angeordnet ist, durch welches das Nanoelement hindurchgeführt ist.

4. Feldeffekttransistor-Anordnung nach einem der Ansprüche 1 bis 3,
bei der das Substrat ein amorphes oder polykristallines Substrat ist.

5. Feldeffekttransistor-Anordnung nach einem der Ansprüche 1 bis 4,
bestehend aus dielektrischem Material, metallisch leitfähigem

Material und dem Material der Nanostruktur.

6. Feldeffekttransistor-Anordnung nach einem der Ansprüche 1 bis 5,

bei der das Substrat

- ein Glas-Substrat;
- ein Quarz-Substrat;
- ein Saphir-Substrat;
- ein Siliziumoxid-Substrat;
- ein Kunststoff-Substrat;
- ein Keramik-Substrat; oder
- ein polykristallines Halbleiter-Substrat;

ist.

7. Feldeffekttransistor-Anordnung nach einem der Ansprüche 1 bis 6,

bei der das Nanoelement

- eine Nanoröhre
- ein Bündel von Nanoröhren oder
- ein Nanostäbchen

aufweist.

8. Feldeffekttransistor-Anordnung nach Anspruch 7, bei der das Nanostäbchen

- Silizium
- Germanium
- Indiumphosphid
- Galliumnitrid
- Galliumarsenid
- Zirkoniumoxid und/oder
- ein Metall

aufweist.

9. Feldeffekttransistor-Anordnung nach Anspruch 7, bei der die Nanoröhre

- eine Kohlenstoffnanoröhre
- eine Kohlenstoff-Bor-Nanoröhre

- eine Kohlenstoff-Stickstoff-Nanoröhre
- eine Wolframsulfid-Nanoröhre oder
- eine Chalkogenid-Nanoröhre

ist.

10. Feldeffekttransistor-Anordnung nach einem der Ansprüche 1 bis 9,

bei der mindestens eines des mindestens einen Nanoelements des n-Leitungstyps ist.

11. Feldeffekttransistor-Anordnung nach Anspruch 10,

bei der das mindestens eine Nanoelement des n-Leitungstyps Kalium aufweist.

12. Feldeffekttransistor-Anordnung nach einem der Ansprüche 1 bis 11,

eingerrichtet als nichtflüchtige Speicherzelle, wobei das elektrisch isolierende Material als Ladungsspeicherschicht dient und derart eingerichtet ist, dass

- elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernbar sind;
- die elektrische Leitfähigkeit des Nanoelements charakteristisch von in dem elektrisch isolierenden Material eingebrachten elektrischen Ladungsträgern beeinflussbar ist.

13. Feldeffekttransistor-Anordnung nach Anspruch 12,

bei dem das elektrisch isolierende Material

- eine Siliziumoxid-Siliziumnitrid-Siliziumoxid-Schichtenfolge; oder
- eine Aluminiumoxid-Schicht

ist.

14. Feldeffekttransistor-Anordnung nach einem der Ansprüche 1 bis 11,

eingerrichtet als DRAM-Speicherzelle,

- wobei der Feldeffekttransistor als Schalt-Transistor

eingerrichtet ist;

- mit einem Stapel-Kondensator als Speicher-Kondensator, wobei das Nanoelement auf zumindest einem Teil des Speicher-Kondensators aufgewachsen ist.

15. Feldeffekttransistor-Anordnung nach einem der Ansprüche 1 bis 14,

eingerrichtet als CMOS-Bauelement, wobei zwei Feldeffekttransistoren ausgebildet sind, von denen einer ein Nanoelement des p-Leitungstyps und der andere ein Nanoelement des n-Leitungstyps aufweist.

16. Feldeffekttransistor-Anordnung nach Anspruch 15, bei der die Feldeffekttransistoren zu einem Inverter-Schaltkreis verschaltet sind.

17. Feldeffekttransistor-Anordnung nach einem der Ansprüche 2 bis 16,

bei der zumindest eines des mindestens einen Durchgangslochs mit elektrisch leitfähigem Koppel-Material zum elektrischen Koppeln der ersten und der zweiten Verdrahtungsebene gefüllt ist.

18. Feldeffekttransistor-Anordnung nach Anspruch 17, bei der das elektrisch leitfähige Koppel-Material ein Bündel von elektrisch leitfähigen Nanoelementen ist.

19. Feldeffekttransistor-Anordnung nach einem der Ansprüche 1 bis 18,

eingerrichtet als Schichtenfolge aus einer Mehrzahl planarisierter Schichten.

20. Feldeffekttransistor-Anordnung nach einem der Ansprüche 1 bis 19,

bei dem das Nanoelement umgebende elektrisch isolierende Material als Ringstruktur realisiert ist, und bei dem

zumindest ein Teil der elektrisch isolierenden Ringstruktur von dem elektrisch leitfähigen Material umgeben ist.

21. Schaltkreis-Array
mit einer Mehrzahl von nebeneinander und/oder übereinander ausgebildeten Feldeffekttransistor-Anordnungen nach einem der Ansprüche 1 bis 20.

FIG 1

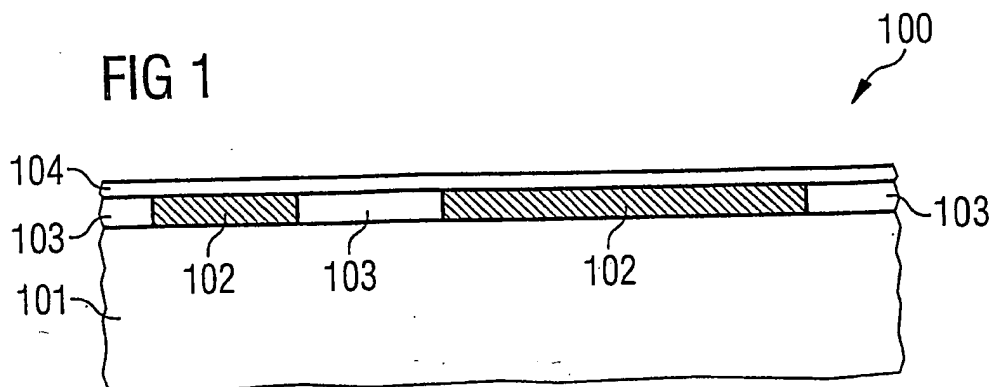


FIG 2

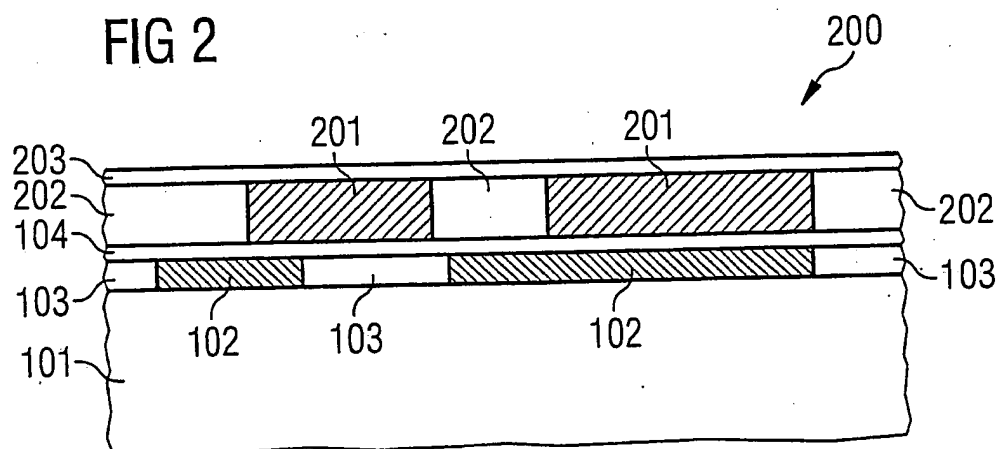


FIG 3

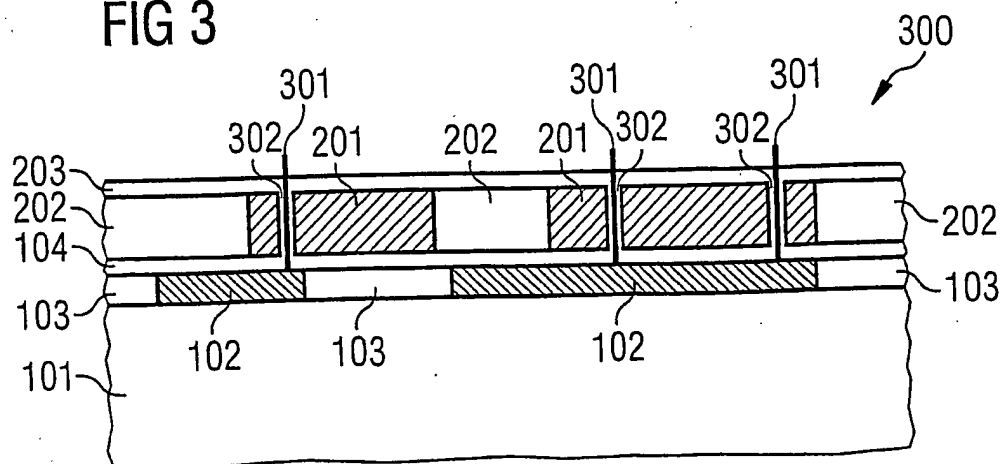


FIG 4

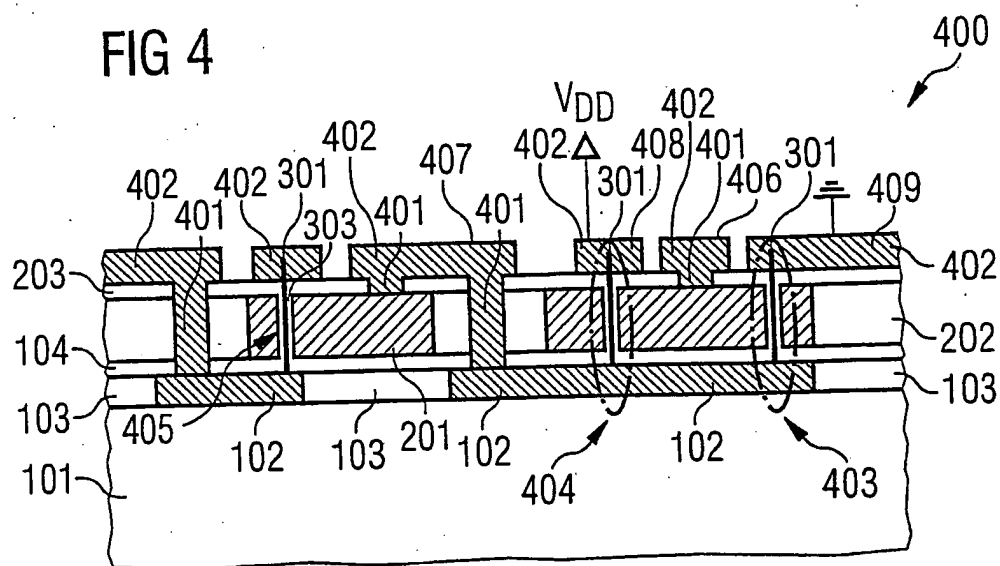


FIG 5

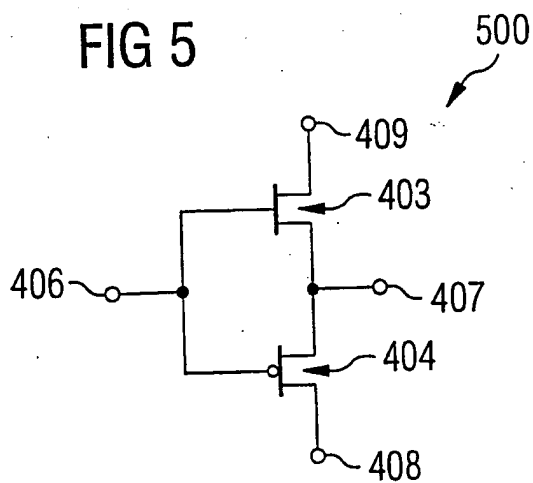


FIG 6

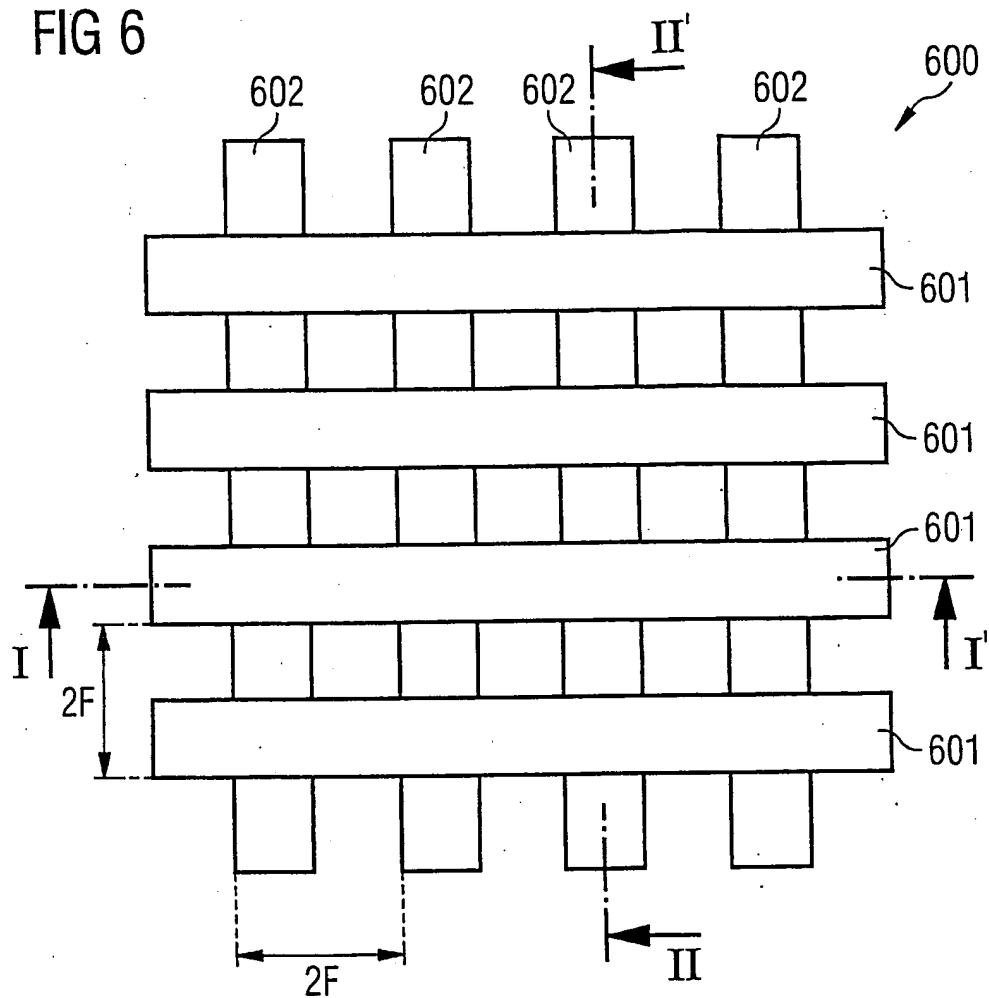


FIG 7

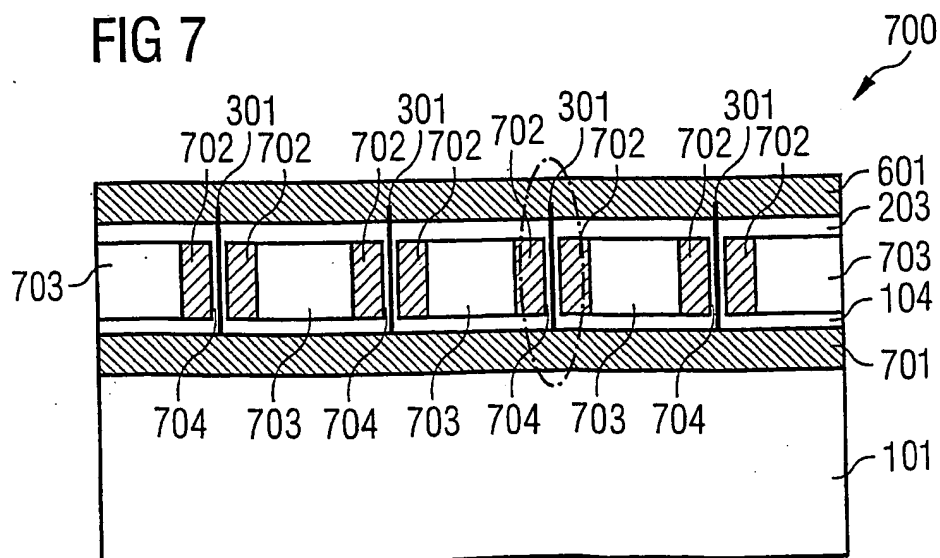


FIG 8

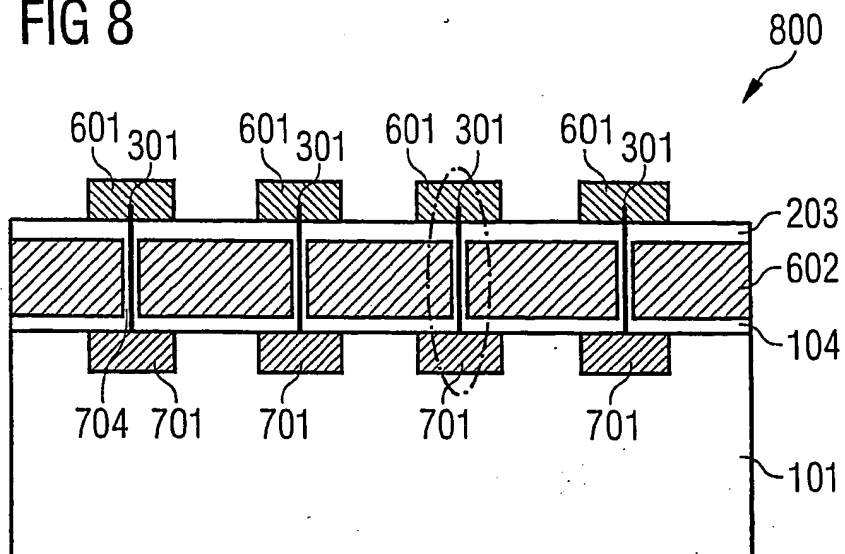
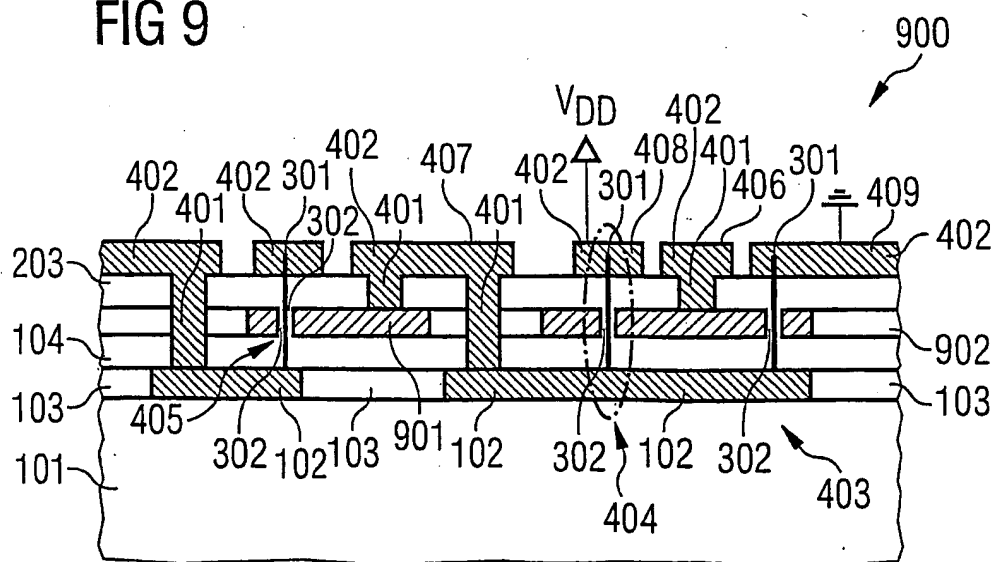


FIG 9



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.